

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-367080

(43)Date of publication of application : 18.12.1992

(51)Int.Cl.

G06F 15/66
 G06F 15/66
 H04N 1/393
 // G09G 5/36

(21)Application number : 03-168864

(71)Applicant : RICOH CO LTD

(22)Date of filing : 13.06.1991

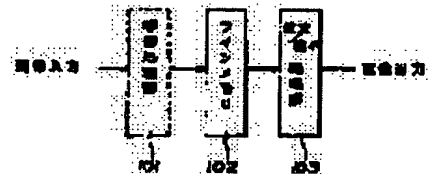
(72)Inventor : ITO KEITOKU

(54) IMAGE VARIABLE POWER PROCESSING

(57)Abstract:

PURPOSE: To perform the variable power processing and the slanting processing in the main scanning direction with the non-redundant constitution and the easy circuit constitution by facilitating the expanding and reducing processing and switching the real time variable power ratio when the expanding and reducing processing is mixed and the image processing is performed in real time.

CONSTITUTION: The processor is equipped with a line memory 102 to store the inputted image signal and an expanding and reducing processing part 103 to perform the expanding and reducing processing when the image signal is read from the line memory 102, and the writing to the line memory 102 of the image information and the reading from the line memory 102 are controlled and the variable power processing and the slanting processing in the main scanning direction are performed by the same line memory 102.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-367080

(43) 公開日 平成4年(1992)12月18日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 15/66	3 5 5 D	8420-5L		
	4 0 0	8420-5L		
H 0 4 N 1/393		8839-5C		
// G 0 9 G 5/36		8121-5G		

審査請求 未請求 請求項の数 8 (全 8 頁)

(21) 出願番号 特願平3-168864

(22) 出願日 平成3年(1991)6月13日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 伊東 敬徳

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

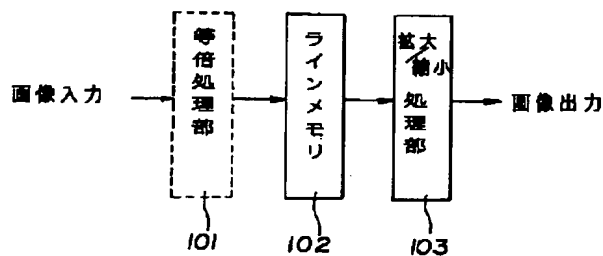
(74) 代理人 弁理士 酒井 宏明

(54) 【発明の名称】 画像変倍処理装置

(57) 【要約】

【目的】 拡大／縮小処理が混在した画像処理をリアルタイムで行う場合における拡大及び縮小処理の容易化及びリアルタイムな変倍率の切り換えを可能にし、冗長のない構成で、且つ、簡単な回路構成により主走査方向の変倍処理と斜体処理を実行可能にする。

【構成】 入力された画像信号を格納するラインメモリ102と、ラインメモリ102から画像信号を読み出すときに拡大／縮小処理を実行する拡大／縮小処理部103とを具備し、また、画像情報のラインメモリ102への書き込み及びラインメモリ102からの読み出しを制御して主走査方向の変倍処理と斜体処理を同一のラインメモリ102により実行する。



1

【特許請求の範囲】

【請求項1】 入力された画像信号を格納するラインメモリと、前記ラインメモリから画像信号を読み出すときに拡大／縮小処理を実行する変倍処理手段とを具備することを特徴とする画像変倍処理装置。

【請求項2】 変倍率の逆数を出力する変倍率出力手段と、前記変倍率出力手段からの出力を累積加算して読出アドレス信号を出力するアドレス発生手段とを具備し、前記ラインメモリから画像信号を前記アドレス発生手段の出力する読出アドレス信号に基づいて読み出すことを特徴とする前記請求項1記載の画像変倍処理装置。

【請求項3】 前記変倍率出力手段から出力される変倍率の逆数を選択することにより前記アドレス発生手段から出力される読出アドレス信号の変化量を切り換えることを特徴とする前記請求項2記載の画像変倍処理装置。

【請求項4】 前記アドレス発生手段は、前記変倍率出力手段から出力される変倍率の逆数を画像同期信号の入力毎に累積加算する加算手段を有することを特徴とする前記請求項2記載の画像変倍処理装置。

【請求項5】 前記アドレス発生手段は、前記変倍率出力手段から出力される変倍率の逆数をライン同期信号の入力毎に累積加算する加算手段を有することを特徴とする前記請求項2記載の画像変倍処理装置。

【請求項6】 入力された画像信号を格納するラインメモリと、前記ラインメモリへの画像信号の書き込み及び前記ラインメモリからの画像信号の読み出しを制御する制御手段とを備え、主走査方向の変倍処理と斜体処理を同一のラインメモリにより実行することを特徴とする画像変倍処理装置。

【請求項7】 入力された画像信号を格納するラインメモリと、前記ラインメモリから画像信号を読み出すときにアドレス信号を制御して変倍処理を実行すると共に、前記アドレス信号のシフト量（初期値）を各ライン毎に設定して斜体処理を実行することを特徴とする画像変倍処理装置。

【請求項8】 有効画像領域となるアドレスを設定するアドレス設定手段と、前記アドレス設定手段により設定されたアドレスを前記アドレス発生手段から出力される読出アドレス信号と比較判定して白色の画像信号を出力するイレース制御手段とを具備することを特徴とする前記請求項2、7記載の画像変倍処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力される画像信号における主走査方向の拡大／縮小処理をリアルタイムで実行するデジタル複写機等の画像変倍処理装置に関し、また、入力される画像信号の主走査方向の拡大／縮小処理及び斜体処理を同一のラインメモリを用いて実行するデジタル複写機等の画像変倍処理装置に関する。

【0002】

2

【従来の技術】 図8は、従来における主走査方向変倍処理装置の基本的な構成例を示すブロック図であり、図において、801は入力される画像の縮小処理を行う縮小処理部、802はラインメモリ102から画像データを読出して拡大処理した後、画像出力を行う拡大処理部である。

【0003】 以上のように構成された従来の主走査方向変倍処理装置は、入力された画像信号をラインメモリ102に書き込むとき、等倍を含む縮小処理を縮小処理部801で行い、ラインメモリ102から読み出すときに等倍を含む拡大処理を拡大処理部802により実行して画像出力を行っていた。また、上記の主走査方向変倍処理装置において、リアルタイムの拡大／縮小処理の切り換えを実現するためには、書き込み時の等倍／縮小処理の切り換えと、読み出し時の等倍／拡大処理の切り換えを各々独立して制御する必要があった。

【0004】 図9は、以上の画像処理例を具体的に示す説明図である。まず、(a)に示すように原稿をラスタスキャンして読み取った画像信号を入力する。次に、入力された画像信号は、(b)に示す如く主走査方向の拡大処理と縮小処理が混在する状態において処理される。この場合、所望の画像信号を得るために、(c)のタイムチャートに示す如く、縮小制御信号に基づいた等倍／縮小処理の切り換えを実行し、中間状態に示す形式の画像信号をラインメモリ102に書き込むと共に画像信号を読み出すときに拡大制御信号により等倍／拡大処理を行っていた。

【0005】 また、図10は、従来の主走査方向変倍処理装置及び斜体処理装置の構成例を示すブロック図である。図において、1001は入力される画像信号の縮小／拡大の変倍処理を実行する変倍処理装置、1002は画像信号を格納する変倍処理装置1001用のラインメモリ、1003はラインメモリ1002の書き込み及び読み出しを制御するアドレス制御部である。

【0006】 また、1004は斜体処理を実行する斜体処理装置、1005は画像信号を格納する斜体処理装置1004用のラインメモリ、1006はラインメモリ1005の書き込み及び読み出しを制御するアドレス制御部である。

【0007】 以上のように構成された従来の主走査方向変倍処理装置及び斜体処理装置において、変倍処理を行う場合は変倍処理装置1001によりアドレス制御部1003に指示に基づきラインメモリ1002の画像信号の書き込み及び読み出しを行って縮小／拡大の変倍処理を実行していた。また、斜体処理を行う場合は斜体処理装置1004によりアドレス制御部1006の指示に基づきラインメモリ1005の画像信号の書き込み及び読み出しを行って斜体処理を実行していた。

【0008】

【発明が解決しようとする課題】 しかしながら、上記に

示されるような主走査方向変倍処理装置にあっては、等倍を含む縮小処理部における処理の切り換えと、等倍を含む拡大処理部の処理の切り換えを各々独立して制御するため、その制御が煩雑になるという問題点があった。

【0009】また、上記に示されるような従来の主走査方向変倍処理装置及び斜体処理装置にあっては、主走査方向の変倍処理装置と斜体処理装置を各々別個の装置で構成し、各々の装置により各処理を行っていたため、冗長性の多い構成となり、且つ、回路構成等が煩雑なものになるという問題点があった。

【0010】本発明は上記に鑑みてなされたものであって、拡大／縮小処理が混在した画像処理をリアルタイムで行う場合における拡大及び縮小処理の容易化及びリアルタイムな変倍率の切り換えを可能にすることを第1の目的とする。

【0011】また、本発明は上記に鑑みてなされたものであって、冗長のない構成で、且つ、簡単な回路構成により主走査方向の変倍処理と斜体処理を実行可能にすることを第2の目的とする。

【0012】

【課題を解決するための手段】本発明は、上記の目的を達成するために、入力された画像信号を格納するラインメモリと、前記ラインメモリから画像信号を読み出すときに拡大／縮小処理を実行する変倍処理手段とを具備する画像変倍処理装置を提供するものである。

【0013】また、変倍率の逆数を出力する変倍率出力手段と、前記変倍率出力手段からの出力を累積加算して読出アドレス信号を出力するアドレス発生手段とを具備し、前記ラインメモリから画像信号を前記アドレス発生手段の出力する読出アドレス信号に基づいて読み出す画像変倍処理装置を提供するものである。

【0014】また、前記変倍率出力手段から出力される変倍率の逆数を選択することにより前記アドレス発生手段から出力される読出アドレス信号の変化量を切り換えることが望ましい。

【0015】また、前記アドレス発生手段は、前記変倍率出力手段から出力される変倍率の逆数を画像同期信号の入力毎に累積加算する加算手段を有することが望ましい。

【0016】また、前記アドレス発生手段は、前記変倍率出力手段から出力される変倍率の逆数をライン同期信号の入力毎に累積加算する加算手段を有することが望ましい。

【0017】また、入力された画像信号を格納するラインメモリと、前記ラインメモリへの画像信号の書き込み及び前記ラインメモリからの画像信号の読み出しを制御する制御手段とを備え、主走査方向の変倍処理と斜体処理を同一のラインメモリにより実行する画像変倍処理装置を提供するものである。

【0018】また、入力された画像信号を格納するライ

ンメモリと、前記ラインメモリから画像信号を読み出すときにアドレス信号を制御して変倍処理を実行すると共に、前記アドレス信号のシフト量（初期値）を各ライン毎に設定して斜体処理を実行する画像変倍処理装置を提供するものである。

【0019】更に、有効画像領域となるアドレスを設定するアドレス設定手段と、前記アドレス設定手段により設定されたアドレスを前記アドレス発生手段から出力される読出アドレス信号と比較判定して白色の画像信号を出力するイレース制御手段とを具備する画像変倍処理装置を提供するものである。

【0020】

【作用】以上の構成において、入力された画像信号はラインメモリに書き込まれる。ラインメモリに書き込まれた画像信号は、次に読み出されるとき変倍処理手段により拡大／縮小処理が実行されて出力される。

【0021】また、ラインメモリから、アドレス発生手段から出力される変倍率出力手段からの出力を累積加算して生成された読出アドレス信号に基づいて画像信号が読み出される。

【0022】また、変倍率出力手段から出力される変倍率の逆数を選択することによりアドレス発生手段から出力される読出アドレス信号の変化量を切り換える。

【0023】また、アドレス発生手段は、変倍率出力手段から出力される変倍率の逆数を画像同期信号の入力毎に累積加算する。

【0024】また、アドレス発生手段は、変倍率出力手段から出力される変倍率の逆数をライン同期信号の入力毎に累積加算する。

【0025】また、入力された画像信号のラインメモリへの書き込み及び読み出しを制御することにより、主走査方向の変倍処理と斜体処理を同一のラインメモリを用いて行う。

【0026】また、入力された画像信号を格納するラインメモリから画像信号を読み出すときにアドレス信号を制御して変倍処理を実行すると共に、アドレス信号のシフト量（初期値）を各ライン毎に設定して斜体処理を実行する。

【0027】更に、アドレス設定手段により設定された有効画像領域となるアドレスと、アドレス発生手段から出力される読出アドレス信号とを比較判定して白色の画像信号を出力する。

【0028】

【実施例】以下、本発明の一実施例を添付図面を参照して説明する。図1は、本発明による画像変倍処理装置の主要構成例を示すブロック図である。図において、101は入力される画像信号に対し等倍処理を行って出力する等倍処理部、102は等倍処理部101から出力される画像信号を書き込むラインメモリ、103はラインメモリ102に書き込まれた画像信号を読み出すときに拡

大／縮小の変倍処理を実行して画像出力する拡大／縮小処理部である。

【0029】以上のように構成された画像変倍処理装置は、画像信号に対し等倍処理部101により所定の処理を実行した後、画像信号をラインメモリ102に書き込む。ラインメモリ102に書き込まれた画像信号は、次に読み出されるとき、拡大／縮小処理部103により同時に画像信号に対する拡大／縮小処理を行い、画像信号として出力される。このように外部から入力された画像信号をそのままラインメモリ102に書き込み、ラインメモリ102から画像信号を読み出すときのアドレスを変倍率の逆数を累積した結果から求めることによって、変倍率に対応した拡大／縮小等の画像処理を行うことができる。

【0030】図2は、本発明による画像変倍処理装置の詳細な構成例を示す回路図であり、図において、201及び202は入力される画像信号を一時的に格納するバッファ、203は書込アドレス信号を出力するセクタ、204は読出アドレス信号を出力するセクタ、205及び206は1ライン分以上の画像信号を記憶可能なSRAM（スタティックRAM）、207はライン同期信号LSにより動作するF/F（フリップフロップ）、208はライン同期信号LSによってクリアされ画像同期信号CKをカウントするカウンタ、209は書込アドレス信号、210は読出アドレス信号、211は信号S2によってSRAM206から出力される画像信号を外部へ出力するセクタである。

【0031】また、212は変倍率の逆数を出力する変倍率出力回路、213は変倍率出力回路212の出力等に応じて動作し、読出アドレス信号210を出力するアドレス発生回路、214は固定的な変倍率を出力する変倍率レジスタ、215は画像のフレーム同期信号FSによりクリアされライン同期信号LSが入力される毎に副走査方向傾斜レジスタ216の出力を累積加算する累積回路、216は副走査方向に主走査方向変倍率を変えていくときの变化量を出力する副走査方向傾斜レジスタであり、CPU（図示せず）からのSET信号によって複数の変化量データが予め設定され、このデータは領域制御部（図示せず）から出力された信号A2により選択され、副走査方向傾斜レジスタ216から出力される。

【0032】また、217はライン同期信号LSによりクリアされ、画像同期信号CKが入力される毎に主走査方向傾斜レジスタ218の出力を累積加算する累積回路、218は主走査方向に主走査方向変倍率を変えていくときの变化量を出力する主走査方向傾斜レジスタであり、CPU（図示せず）からのSET信号により複数の変化量データが予め設定され、また、これらのデータは領域制御回路（図示せず）が出力する信号A3により選択され、主走査方向傾斜レジスタ218から出力される。

【0033】また、219は変倍率レジスタ214、累積回路215及び累積回路216から出力されたデータを加算して実際の変倍率を出力する加算器、220は加算器219より出力される変倍率の逆数を出力する除算回路である。また、221はアドレス発生回路213に対しCPU（図示せず）から出力されたシフト量（初期値）信号SHを選択するセクタ、222はアドレス発生回路213のF/F（フリップフロップ）、223はアドレス発生回路213に画像同期信号CKが入力される毎に累積加算する加算器である。

【0034】また、224は画像領域外を判定するイレース制御回路、225は入力される画像における主走査方向の有効範囲を示す最小アドレス値がCPU（図示せず）からのSET信号により設定されている最小値レジスタ、226は入力される画像の主走査方向の有効範囲を示す最大アドレス値がCPU（図示せず）からのSET信号により設定されている最大値レジスタ、227は読出アドレス信号210が最小値レジスタ225の設定値に対して小さい場合に画像領域外であると判定するH信号を出力するコンパレータ、228は読出アドレス信号210が最大値レジスタ226の設定値に対して大きい場合に画像領域外であると判定するH信号を出力するコンパレータ、229はコンパレータ227及びコンパレータ228から出力される画像領域外を示すII信号の論理和（OR）処理を行って出力するORゲートである。

【0035】以上のように構成された本発明による画像変倍処理装置の回路図の動作を説明する。図において、バッファ201とバッファ202の信号S1がH、信号S2がLの場合、外部から入力された画像信号はバッファ201によりSRAM205に出力される。また、バッファ202の出力はHiインピーダンス状態となっている。カウンタ208はライン同期信号LSによりクリアされ画像同期信号CKをカウントするため、その出力である書込アドレス信号209と読出アドレス信号210はセクタ203及びセクタ204に各々入力される。

【0036】セクタ203は信号S1により書込アドレス信号209をSRAM205に出力する。SRAM205は画像同期信号CKと信号S2のOR出力により、書込アドレス信号209が示すアドレスにバッファ201が出力する画像信号を書き込む。尚、SRAM205の出力は信号S1によってHiインピーダンス状態となる。

【0037】セクタ204は信号S2により書込アドレス信号209をSRAM206に出力する。これによりSRAM206は信号S2により出力可能状態となり、SRAM206は、読出アドレス信号210が示すアドレスの画像信号をセクタ211に出力する。また、セクタ211は信号S2によりSRAM206か

ら出力された画像信号を外部へ出力する。

【0038】上記において、信号S1がL、信号S2がHの場合、前述と逆の動作となる。即ち、外部から入力された画像信号はバッファ202を介してSRAM206に inputs され、書込アドレス信号209が示すアドレスに書き込まれる。また、SRAM205からは読出アドレス信号210が示すアドレスの画像信号を読み出し、セクタ211を介して外部へ出力する。

【0039】また、読出アドレス信号210は、変倍率出力回路212の出力等に対応して動作するアドレス発生回路213から出力される。変倍率出力回路212には、装置全体を制御するCPU（図示せず）からの信号SETにより複数の変倍率データが予め書き込まれ、これらのデータは領域制御部（図示せず）から出力される信号A1により選択的に出力される。

【0040】変倍率レジスタ214、累積回路215及び累積回路217から出力されたデータは加算器219により加算され実際の変倍率が求められ、更に除算回路220により加算器219から出力された変倍率の逆数が求められる。

【0041】変倍率出力回路212から出力された変倍率の逆数は、アドレス発生回路213のセクタ221、F/F222及び加算器223により画像同期信号CKが inputs される毎に累積加算される。但し、このときライン同期信号LSが inputs されるとセクタ221はCPU（図示せず）から出力されたシフト量（初期値）信号SHを選択出力し、F/F222に保持してあった累積値はシフト量（初期値）信号SHにより初期化される。また、読出アドレス信号210として出力されるのは累積結果の整数部分についてである。

【0042】以上説明した如く、外部から入力された画像信号をそのままラインメモリ102に書き込み、ラインメモリ102から画像信号を読み出すときのアドレスを、変倍率の逆数を累積した結果から求めることによって、変倍率に対応した拡大／縮小等の画像処理を行うことができる。また、拡大／縮小の処理の切り換えは、変倍率の逆数を間接的には変倍率レジスタ214の出力を選択することにより行うことができる。更には読出アドレスは画像同期信号CKの inputs 毎に算出されるため、リアルタイムな変倍率の切替処理が可能である。

【0043】また、図2に示したアドレス発生回路213は、読出アドレスの累積値がライン同期信号LSによってシフト量（初期値）信号SHに初期化されるため、CPU（図示せず）がシフト量（初期値）信号SHを動的に制御することによって斜体処理を実現することができる。

【0044】次に、イレース制御回路224は画像領域外の判定を行う回路であり、最小値レジスタ225及び最大値レジスタ226に inputs される画像の主走査方向の有効画像範囲を示す最小アドレス値及び最大アドレス値

が、各々CPU（図示せず）からの信号SETにより予め設定されている。

【0045】また、コンパレータ227、コンパレータ228及びORゲート229は、読出アドレス信号が最小値レジスタ225及び最大値レジスタ226に設定されている最小アドレスに対して小さいか或いは最大アドレスより大きい場合に有効画像領域外と判断してHの信号をセクタ211に出力する。これによってセクタ211は、ORゲート229の出力がHになると他の入力に関係なく白色の画像信号を出力する。

【0046】図2に示した回路では、変倍率出力回路212の出力やシフト量（初期値）信号SHにより、出力画像における主走査方向の有効画像範囲が各ライン毎に変化する可能性が生ずるが、本回路においては前述の如くSRAM205或いはSRAM206から有効画像領域外の画像信号を読み出すときに、イレース制御回路224及びセクタ211により白色の画像信号が出力されるので、有効画像領域外の画像はイレース処理されて出力されることになる。これにより各ライン毎に主走査方向のイレース量を制御する回路を付加する必要がなくなる。

【0047】尚、図2に示した変倍率出力回路212における累積回路215はライン同期信号LS、累積回路217は画素同期信号CKが inputs される度に累積加算を実行するようにしたが、これらの信号を間引いた信号が inputs される度に累積加算を行うように構成してもよい。この場合、副走査方向傾斜レジスタ216及び主走査方向傾斜レジスタ218に設定されるデータのビット数を低減させたり、累積回路215、217の演算精度を低下させても同様の機能を得ることができる。その結果回路の簡略化を実現できる。

【0048】図3は、本発明による除算回路220の出力形式を示す説明図である。図に示す如く除算回路220により出力される信号は、符号付きの固定小数点データとして出力される。

【0049】図4は、本発明による縮小／拡大処理を示す説明図であり、図4（a）は縮小処理、図4（b）は拡大処理を各々示している。図4（a）の縮小処理において、変倍率の逆数 $1/x_a$ は $1/x_a > 1$ となり、逆数 $1/x_a$ を累積加算する読出アドレスは入力画像に対して進行速度が速くなる。この結果、出力される画像は inputs された画像と比較して小さくなり縮小処理が実現する。

【0050】また、図4（b）の拡大処理において、変倍率の逆数 $1/x_b$ は $1/x_b < 1$ となり、逆数 $1/x_b$ を累積加算する読出アドレスは入力画像に対して進行速度が遅くなる。この結果、出力される画像は inputs された画像と比較して大きくなり拡大処理が実現する。尚、この場合の変倍率は各々 x_a 、 x_b とする。

【0051】また、図4において、変倍率出力回路21

2から出力される変倍率の逆数は正負両方の値をとることができるため、変倍率出力回路212から出力される変倍率の逆数を累積加算するアドレス発生回路213は出力する読出アドレス信号210をマイナス方向に進めることができる。これにより入力された画像信号の主走査方向の配列を逆にして外部出力することにより鏡像処理が実現する。

【0052】図5は、本発明による累積回路215及び副走査方向傾斜レジスタ216の処理例を示す説明図である。図において、(a)は変倍処理対象の原稿を示し、(b)はこの原稿に対して変倍率レジスタ214の出力を50%に設定し、副走査方向傾斜レジスタ216の出力を δ ($\delta > 0$)に設定して処理を行った場合の出力画像を示している。これにより副走査方向に処理が進むに連れて主走査方向変倍率を直線的に増加させた画像が得られる。

【0053】また、図5(c)は前記(b)の処理に、シフト量(初期値)信号SHの制御をCPU(図示せず)により行われる動作を付加することによって得られる台形状の画像である。また、副走査方向傾斜レジスタ216の出力 δ を負に設定して処理すると、副走査方向に処理が進むにしたがって変倍率を直線的に減少させることができる。更に、図5(d)は副走査方向傾斜レジスタ216に正負2種類のデータを設定し、これらを処理途中で切り換えた場合の出力画像である。

【0054】また、図2に示す如く画像変倍処理装置の回路では、加算器219により変倍率を求めた後、除算回路220により逆数に変換しているため直線的に変倍率を増減できるようになっている。これに対し除算回路220を除去した構成で処理して得られる画像が図5(e)となり、非線形($1/x$ に比例)な傾斜変倍率処理が実現する。また、除算回路220の機能を切り換えることにより図5(a)~(e)に示す如き画像処理が可能となる。

【0055】図6は、本発明による傾斜変倍及び鏡像処理例を示す説明図である。累積回路217及び主走査方向傾斜レジスタ218は、前述したように主走査方向に処理が進むに従った傾斜変倍を可能とする。図6(a)に示す処理対象の原稿に対し、例えば、変倍率レジスタ214の出力を25%に設定し、主走査方向傾斜レジスタ218の出力を δ ($\delta > 0$)に設定することにより、図6(b)に示すような主走査方向の処理の進行に従った変倍率となり、図6(c)に示す画像が出力される。

【0056】また、上記において、変倍率レジスタ214の出力を150%に設定し、主走査方向傾斜レジスタ218の出力を δ ($\delta < 0$)に設定することにより、図6(d)に示すような変倍率となり、図6(e)に示すような出力途中で鏡像となる画像が得られる。

【0057】尚、図7は、図2に示した画像変倍処理装置の回路図に対応した動作を示す各部におけるタイミン

グチャートである。

【0058】以上説明したように、図2に示した本発明の画像変倍処理装置によれば、変倍率レジスタ214による不連続的な変倍率の切り換え、累積回路215及び副走査方向傾斜レジスタ216による副走査方向傾斜変倍及びその傾斜の切換処理が行える。また、累積回路217及び主走査方向傾斜レジスタ218による主走査方向傾斜変倍及びその切換処理が行えると共にシフト量(初期値)信号SHに基づいた斜体処理や変倍率の逆数の符号による鏡像処理が実行可能となる。更に、これらを任意に組み合わせ、制御することにより多種多様な画像の特殊変倍処理が実現する。

【0059】

【発明の効果】以上説明したように本発明による画像変倍処理装置によれば、入力された画像信号をラインメモリに書き込んだ後、ラインメモリから画像信号を読み出すときに、拡大/縮小処理を実行して拡大/縮小処理の切り換えを一元的に管理できるため、拡大/縮小処理が混在した画像処理をリアルタイムで行う場合における拡大及び縮小処理の容易化及びリアルタイムな変倍率の切り換えが実現できる。

【0060】また、入力された画像信号のラインメモリへの書き込み及び読み出しを制御することにより、主走査方向の変倍処理と斜体処理を同一のラインメモリを用いて行い、入力された画像信号を格納するラインメモリから画像信号を読み出すときにアドレス信号を制御して変倍処理を実行すると共に、アドレス信号のシフト量(初期値)を各ライン毎に設定して斜体処理を実行するため、冗長のない構成で、且つ、簡単な回路構成により主走査方向の変倍処理と斜体処理を実行可能にする。

【図面の簡単な説明】

【図1】本発明による画像変倍処理装置の主要構成を示すブロック図である。

【図2】本発明による画像変倍処理装置の詳細な回路構成を示すブロック図である。

【図3】図2に示した除算回路の出力形式を示す説明図である。

【図4】本発明による縮小及び拡大処理を示す説明図である。

【図5】図2に示した累積回路215及び副走査方向傾斜レジスタ216の処理例を示す説明図である。

【図6】本発明による傾斜変倍及び鏡像処理例を示す説明図である。

【図7】図2に示した画像変倍処理装置の回路構成に対応した各部の動作を示すタイミングチャートである。

【図8】従来における主走査方向変倍処理装置の基本的な構成を示すブロック図である。

【図9】従来における画像処理制御例を示す説明図である。

【図10】従来の主走査方向変倍処理装置及び斜体処理

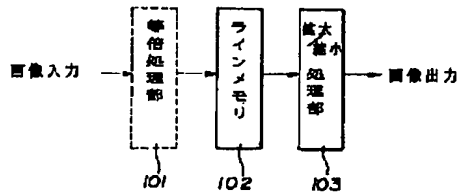
装置の概略構成を示すブロック図である。

【符号の説明】

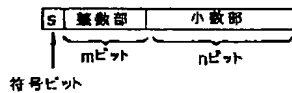
102 ラインメモリ
縮小処理部
210 読出アドレス信号
出力回路
213 アドレス発生回路
レジスタ
103 拡大/
212 変倍率
214 変倍率

219 加算器
223 加算器
225 最小値レジスタ
227 コンパレータ
220 除算回路
224 イレー
226 最大値
228 コンパ
レータ

【図1】

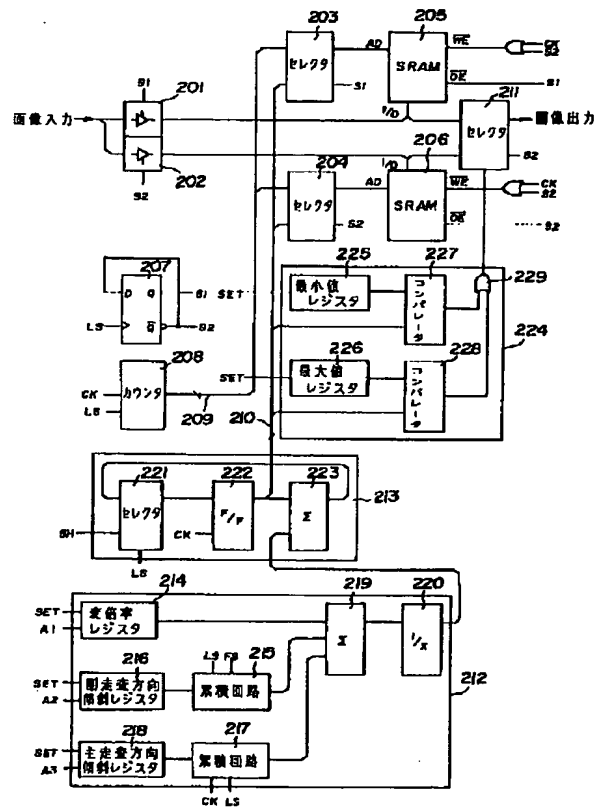


【図3】

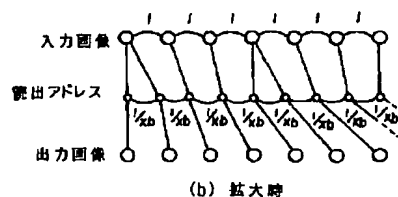
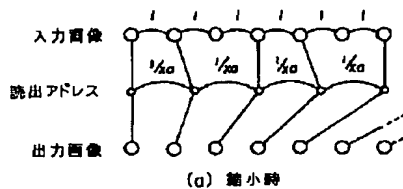


但し、10進数で表わすと、
50% → 2
100% → 1
200% → 0.5
に対応する。

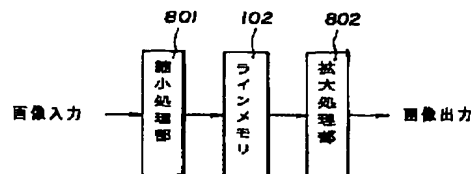
【図2】



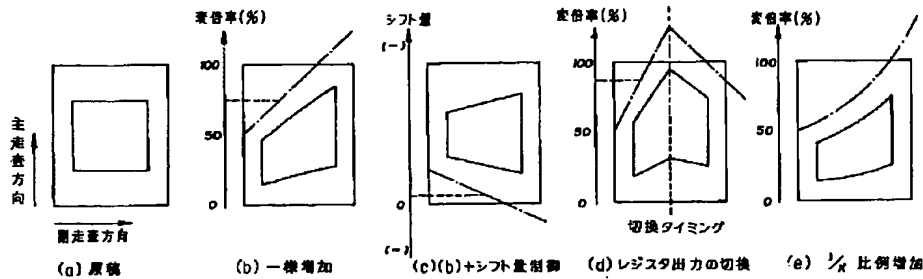
【図4】



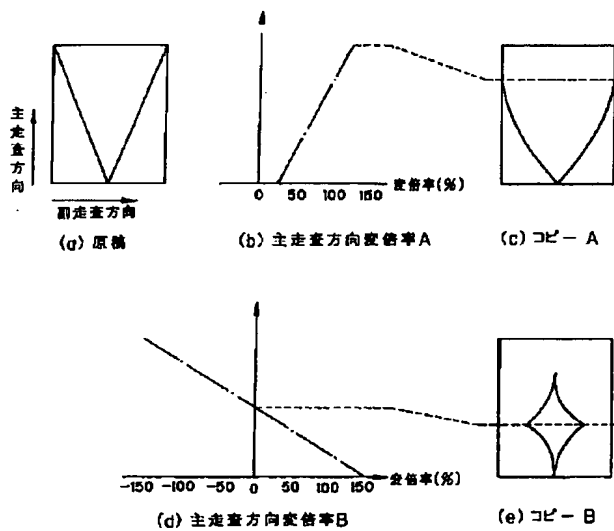
【図8】



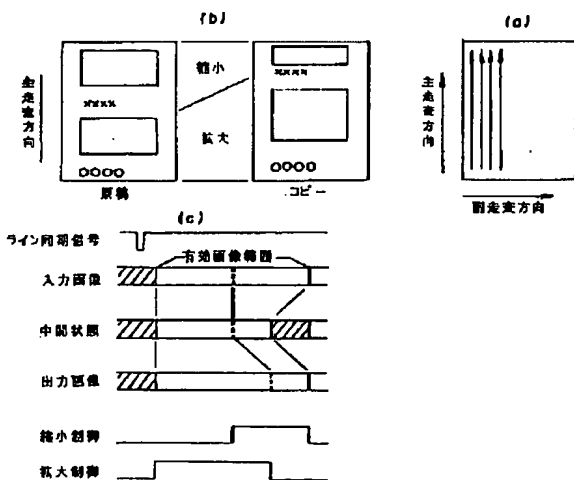
【図5】



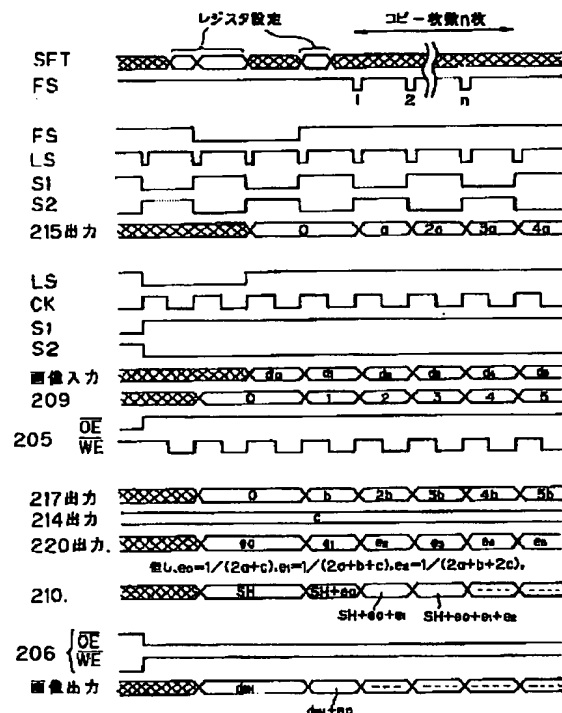
【図6】



【図9】



【図7】



【図10】

